

## 114 年度經濟部產業發展署

# 「半導體國際連結創新賦能計畫-中華大學先進製程積體電路佈局工程師實務演練學程」招生簡章

### 一、參與單位：

1. 指導單位：經濟部產業發展署
2. 承辦單位：財團法人資訊工業策進會
3. 開班單位：中華大學學校財團法人中華大學  
新竹市香山區五福路二段 707 號

經濟部產業發展署廣告

連絡人：電子工程學系主任 賴主任 電話：0919-971254

### 二、開課資料：

班別名稱	時數	總學費	訓練期間	上課時間	上課時數
中華大學先進製程積體電路佈局工程師實務演練學程	422 小時	15.6 萬元 (一般生由政府獎助約 35.8%；符合勞動部產業新尖兵計畫獎助資格者，由政府獎助 100%)	114/6/25- 114/10/24	每週(一、三、五) 09:00-18:00 (每日上課 8 小時) ※實際上課時間、課程內容、講師，執行單位皆保有最後微調權利。	基礎課程：50 小時 核心課程：96 小時 實務課程：276 小時

### ※ 課程費用：

學費總金額新台幣 156,000 元，考量單次支付全額學費之困難與展現決心的必要，協議付款方式分兩期如下：

- (1) 頭款：錄取報到時支付，一般身分者自付 10 萬元整，特殊身份者(產業新尖兵計畫)繳交保證金 5 萬元與自付 1 萬元整，未於繳費期限內繳交者視同放棄錄取資格，其資格由備取者遞補。請注意，產業新尖兵計畫獎助條件將訓練費用分為自付額 1 萬元和勞動部墊付 9 萬元，續經審核資格不符者，應自行繳交訓練費用。
- (2) 尾款：離退訓日(或最後一堂上課日)完成尾款支付，繳交 5 萬 6 仟元整。續經審核資格不符者，應自行繳交訓練費用。
- (3) 報名時毋需繳交費用，待廠商面試錄取後再行通知費用繳交時間。
- (4) 完成課程(學員出席時數需達 70%以上、作業或考試其評量成績及格)或就業智慧電子產業(學員出席時數需達三分之一以上且提供在職證明書(影本)等佐證資料)則可全額退回保證金。

### ※ 獎助辦法：

- (1) 本班適用「勞動部\_產業新尖兵計畫」獎助申請：自付額 1 萬元 資格條件：15~29 歲待業青年(以課程開訓日計算)出席時數符合總課程時數三分之二以上的規定及取得結訓證書，且符合下列情形之一，應至台灣就業通本計畫專區申請，並經分署審查通過者，由分署直接將自付額補助撥入青年個人金融帳戶：(一)結訓日次日起九十日內，已依法參加就業保險，且於結訓日次日起一百二十日內，上傳國內金融機構存摺封面影本等文件至台灣就業通本計畫專區。(二)因服兵役致未能參加就業保險，應於結訓日次日起一百二十日內，上傳兵役徵集通知等證明文件，申請自退役日次日起計算依法參加就業保險之期日，且於退役日次日起一百二十日內，上傳國內金融機構存摺封面影本等文件至台灣就業通本計畫專區。墊付 9 萬元 資格條件：15~29 歲待業青年(以課程開訓日計算)，配合勞動部規定填寫相關資料，且完成課程(學員出席時數需達三分之二以上)，詳見於勞動部網頁計畫網站 <https://elite.taiwan.jobs.gov.tw/>。若同時符合青年職前訓練學習獎勵金的適用對象，受訓期間每月發給 8,000 元學習獎勵金，若請假時數達總時數 1/10，當月不再發給。
- (2) 本班適用「經濟部產業發展署\_半導體國際連結創新賦能計畫」，結訓日無須繳納尾款(產業發展署補助尾款 100%)，由中華大學協助申請，資格條件：配合產業發展署規定填寫相關資料，且完成課程(學員出席時數需達 70%以上、作業或考試其評量成績及格)並投入智慧電子相關產業。請注意，在結訓就業後，學員應配合提供在職證明書(影本)協助完成獎助款撥款程序。
- (3) 學員成績合格、通過結訓、表現良好者，提供金芯科技有限公司職缺應徵機會。

三、課程簡介

項目	課程大綱	時數	課程內容(小時)
基礎課程	1. 基礎電子學	30	<ol style="list-style-type: none"> <li>1. 單位(科學符號表示法、電阻、電容、電感的計量單位)</li> <li>2. 元件介紹(電阻、電容、電感、PMOS、NMOS、BJT)</li> <li>3. 基本電學</li> <li>4. MOS 元件模型與特性(MOS Device Model/Behavior, CMOS Inverter - DC/AC Characteristics)</li> <li>5. 電路特性與性能評估(RC model, Power Dissipation, Fan-in/Fan-out Issues)</li> </ol>
	2. 基礎半導體製程與元件	20	<ol style="list-style-type: none"> <li>1. CMOS 製程原理與佈局關聯性(Device/ Mask/Process/Layout, Layout of static CMOS circuit for basic gates (Inverter/ NAND/ NOR))</li> <li>2. 元件結構與剖面圖(Cross-Sections)</li> <li>3. 電致遷移效應(EM)、天線效應(Antenna Effect)</li> <li>4. 3D IC 簡介</li> </ol>
核心課程	1. VLSI 設計概論	14	<ol style="list-style-type: none"> <li>1. Introduction to VLSI Circuits and Systems</li> <li>2. CMOS Design Methods</li> <li>3. IC 設計方法(Full-custom, semi-custom, gate-arrays)</li> <li>4. IC 設計流程(Design flow)</li> <li>5. SI/PI、Crosstalk and Noise、高頻概論</li> <li>6. HSPICE 簡介</li> </ol>
	2. 積體電路實體設計總論	10	<ol style="list-style-type: none"> <li>1. 佈局觀念與技巧(佈局的總體設計, 工程的佈局規劃, 設計規則的介紹, 標準元件的佈局設計, 棒狀圖(stick diagram)</li> <li>2. 佈局考量(晶片良率(Yield), Bonding Pads, Power and Clock Distribution, 栓鎖效應(Latch-Up))</li> </ol>
	3. 數位積體電路設計	10	<ol style="list-style-type: none"> <li>1. 邏輯閘(Logic Gates)</li> <li>2. Boolean Algebra</li> <li>3. Combinational Logic</li> <li>4. Sequential Elements and Circuits</li> </ol>
	4. 類比積體電路後段設計	6	<ol style="list-style-type: none"> <li>1. Integrated Circuits Devices and Modeling</li> <li>2. R/L/C and MOS Matching Layout</li> <li>3. Current/Voltage References Design</li> <li>4. CMOS Amplifiers Design</li> <li>5. Operational Amplifiers Design</li> </ol>
	5. ESD 靜電防護概論	10	<ol style="list-style-type: none"> <li>1. 靜電放電 ESD 的模式和工業測試標準</li> <li>2. 靜電放電 ESD 防護設計概念</li> <li>3. 靜電放電 ESD 防護技術方法</li> </ol>
	6. UNIX/Linux 作業系統	4	<ol style="list-style-type: none"> <li>1. Unix/Linux 指令操作</li> <li>2. EDA 操作設立環境</li> <li>3. Reference Library</li> </ol>

	7. 佈局專案規劃課程	14	1. Floorplan (Chip Area 預估) 2. Powerplan 3. Clock Tree 4. RC Delay 5. APR(概論、與 Fully Layout 之關係、IP) 6. Proposal、Schedule、Team Work、開會技巧、簡報技巧
	8. 先進製程	4	1. FinFET 製程介紹 2. Length of Diffusion(LOD) Effect 3. Well Proximity Effect (WPE)
	9. 記憶體概論	14	1. 半導體記憶體簡介 2. 記憶體原理 3. 記憶體電路設計 4. 記憶體佈局設計
	10. 溝通、抗壓與時間管理	9	1. 人際溝通與職場倫理 2. 抗壓性思考 3. 時間管理
	性別主流化講座	1	1. 兩性平權與性別主流化
實作課程	1. 軟體工具實作	68	1. Layout Tool(Cadence Virtuoso, 建立 Library/Cell, 編輯指令, 佈局線上驗證, 光罩 GDSII 格式輸出與轉換)(12) 2. Command file (Design rule, 轉換 DRC、LVS command file, 轉換佈局編輯器 Technology File 格式)(8) 3. 佈局驗證 (DRC、LVS, DRC/LVS command file, Run Hierarchy & Flatten mode) (16) 4. Analog/RF 基本佈局(含 PDK 介紹)(16) 5. 電路佈置圖(Schematic), 電路模擬(Spice), 佈局驗證(含 IR Drop)(16)
	2. Cell-Based 佈局設計	24	1. Cell Library 設計 2. 基本邏輯閘佈局(INVERTER、NAND、NOR、DFF)
	3. IC 佈局設計能力鑑定證照	40	1. 學科線上測驗 2. 術科綜合演練
	4. 專題製作	144	1. OP 佈局實作 2. LDO 佈局實作 3. SRAM 佈局實作 4. ADC 佈局實作 5. FinFET 佈局實作
合計		422	

#### 四、課程師資：

由中華大學電子系師資及具佈局實務經驗之業界人士授課。

#### 五、報名資格：

符合下列資格之一者(無就業意願者, 請勿報名):

1. 大學以上(不限科系)之待業/轉職人才: 參與學程期間無勞保加保紀錄, 且未具雇主或公司商號負責人身分或自營作業身分, 或加保職業工會等確實無工作者。有意願投入智慧電子產業, 長期從事 IC 佈局設計

工作者。

2. **大學以上(不限科系)之應屆畢業生：學程結訓當年度畢業生，並能於結訓當年度投入半導體產業全職工作就業者。(如：2025年參與本計畫學程，並於2025年畢業投入產業就業，方符合認列資格。)**有意願投入智慧電子產業，長期從事IC佈局設計工作者。

#### 六、招生名額：

1. 本班僅收 20 人，10 人以上開班，額滿為止。

#### 七、報名方式：中華大學電子工程學系網頁報名(<https://el.chu.edu.tw/p/423-1026-254.php?Lang=zh-tw>) 並主動 Line 連絡電話 0919971254 賴主任 預約甄試場次和並提供簡歷自傳。

應繳資料：學員報名表(附件一)及受訓學員訪談表，並繳交二吋相片 1 張，畢業證書影本、身份證影本、最高學歷在校成績單或其他有利審查資料。

#### 八、甄試時間：詳見中華大學電子工程學系首頁公告計畫說明會暨廠商面試消息。

**甄試地點：Teams 視訊線上面試，依序一對一進行視訊面試。**

榜示：中華大學電子工程學系首頁網站 (<http://el.chu.edu.tw/index.php>)學系訊息或就業資訊公告。

#### 九、報到方式及證件審核：

1. **報到時間：依面試結果個別通知，確定錄取的學員始得依報到須知於繳費期限內完成繳費報到。**
2. 報到時檢附最高學歷畢業證書影本(掃描檔)、近期半身 2 吋相片(電子檔)、簽署學員訪談表、個資同意書、保密切結書及學員守則切結書各一份。
3. 繳費截止日因故無法完成繳費者，請於截止日前一天以 Line 通知完成請假(須核對相關資料)。
4. 繳費截止日當天未完成繳費者或是未請假者，視同放棄錄取資格，其資格由備取者遞補，且不得異議，其所繳交之費用依據“退費標準”辦理。

#### 十、退費與結訓標準：

1. **如因故無法開班者，所繳費用全額退還。考量機會成本，請學員繳交頭款前謹慎評估，有決心完成結訓者才繳費報到，故學員於繳費後開訓前離退訓者，退還九成之頭款；於開訓一週內離退訓者，退還五成之頭款；開訓逾一週後而離退訓者，不退還頭款。申請離(退)訓時視為「自動放棄」參訓權益和金芯科技有限公司預計聘用資格，應審慎評估確認，以免權益受損。**
2. 患有精神官能障礙疾病者，雖經面試錄取或已報到繳費，培訓單位必要時得予退訓。
3. 受訓期間破壞公物或上課秩序，經告誡不聽者，培訓單位必要時得予退訓，並要求賠償。
4. 受訓期間缺課時數高過總訓練時數百分之三十(不含)者，無論缺課理由為何，不發給結訓證書。
5. 退訓或訓練成績不合格者，不發給結訓證書。成績不合格係指受訓期間各科考試(含筆試、實習、課程實作與平常成績)成績按各科時數加權計算，總平均低於六十分(不含)者。

#### 十一、特色：教學環境優良，師資皆具實務經驗，口碑良好，重溫校園時光，成績合格者，訓後輔導廠商面試。

#### 十二、簡章：請至中華大學電子工程學系索取或網頁下載。

附件一

## 114 年度經濟部產業發展署半導體國際連結創新賦能計畫-

### 「中華大學先進製程積體電路佈局工程師實務演練學程」報名表

中文姓名		英文姓名		黏貼最近 2 吋照片 1 張
性別	<input type="checkbox"/> 男 <input type="checkbox"/> 女	兵役狀況	<input type="checkbox"/> 役畢 <input type="checkbox"/> 未役 <input type="checkbox"/> 免役	
身分證字號		出生日期	民國 年 月 日	
學歷	(最高)畢業學校： 科系：			
	(次高)畢業學校： 科系：			
通訊處	<input type="text"/>			
聯絡電話	手機號碼：		宅 ( )	
Line ID <small>(課程異動以群組公告通知, 請配合填寫!!)</small>				
E-mail	(必填)			
電子相關經歷 <small>(若無電子行業相關經歷者, 請填寫最近一個工作經歷)</small>	服務單位名稱(請詳填)	職 稱	服務年資	
何處得知招生訊息 (可複選)	<input type="checkbox"/> 1. 同事或同業告知、 <input type="checkbox"/> 2. 親朋好友告知、 <input type="checkbox"/> 3. 公司單位公告、 <input type="checkbox"/> 4. 政府單位公告、 <input type="checkbox"/> 5. 學校單位公告、 <input type="checkbox"/> 6. 關鍵字、 <input type="checkbox"/> 7. 歷年學員口碑、 <input type="checkbox"/> 8. 電子系網頁、 <input type="checkbox"/> 9. yes123 網站、 <input type="checkbox"/> 10. 報紙-自由時報、 <input type="checkbox"/> 11. 報紙-工商 / 經濟日報、 <input type="checkbox"/> 12. 報紙-其他、 <input type="checkbox"/> 13. 廣播-中廣、 <input type="checkbox"/> 14. 廣播-其他、 <input type="checkbox"/> 15. 產業發展署網站、 <input type="checkbox"/> 16. 智慧電子學院網站、 <input type="checkbox"/> 17. 104 網站、 <input type="checkbox"/> 18. 產業新尖兵網站、 <input type="checkbox"/> 19. 智慧電子學院 eDM、 <input type="checkbox"/> 20. 其他 eDM、 <input type="checkbox"/> 21. 其他管道_____			
備 註	1. 結業證書將印製英文姓名，請正確填寫。英文名在前，姓在後，證書英文姓名請使用用拼音，不可用慣用名，及注意大小寫，例如：王小明 Siao-Ming Wang。 2. 報名課程因人數不足或不可抗力因素，將保留不開班之權利，並退還已繳之費用。 3. 於開課後， <b>完成報到繳費之學員若因故無法上課者得依下列標準退費：</b> (1) 學員自報到繳費後至實際開訓日 <b>前</b> 退訓者，退還已繳自繳費用之 9 成。 (2) 自實際開訓後 <b>一週內</b> 而退訓者(含)退還已繳自繳費用之 5 成。 <b>(3) 開訓逾一週後而離退訓者，恕不接受退費申請。</b> <b>申請離(退)訓時視為「自動放棄」參訓權益和瑞昱半導體股份有限公司和義隆電子股份有限公司面試資格，應審慎評估確認，以免權益受損。</b> 4. 學員上課出席紀錄以課堂簽到/簽退為主，未簽到或簽退者該堂課以缺課論。			

1. 我已瞭解報名班次非學分班、不授予學位證書、學員之學費收費與退費基準
2. 學員請加簽個資授權書供本系開課通知、課程資訊通知等相關業務使用
3. 課程謝絕旁聽，禁止轉讓，請勿攜伴或孩童參與上課。

\*學員簽名(若未滿 20 歲者由監護人簽名)：\_\_\_\_\_

※ 報到時需加簽：

學員基本資料表暨個資同意書、學員訪談表、保密切結書、學員守則切結書各一份。  
學員應配合如期如質繳交應繳交文件，如學員有缺件情形，不得認列

※ 「結訓後應配合經濟部產業發展署追蹤調查 1 年」。

※ 「鼓勵女性參訓或優先保留女性參訓名額 10%」

※ 「結訓後學員應配合提供半導體智慧電子產業之就業證明(如：在職證明、員工證、名片、企業錄取通知等，企業錄取通知需提供 HR 窗口資訊以供查驗)，以協助完成獎助款撥款程序所需檢附之佐證資料。」